

W 1481

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-275957

(43)Date of publication of application : 13.10.1998

(51)Int.Cl.

H01S 3/18
G02B 6/42
G02F 1/025
H01L 27/14

(21)Application number : 09-079317

(71)Applicant : HITACHI LTD

(22)Date of filing : 31.03.1997

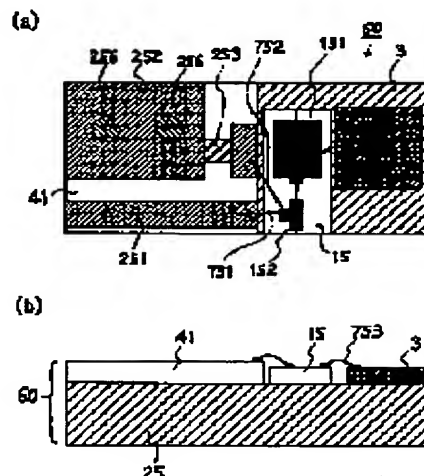
(72)Inventor : GOMYO HIROYUKI
AOKI SATOSHI
FUJITA MINORU
AOKI MASAHIRO
IDO TATSUMI

(54) OPTICAL-SEMICONDUCTOR-CHIP CARRIER

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain an optical-semiconductor-chip carrier which can be mounted simply and whose high-frequency characteristic is improved.

SOLUTION: An optical-semiconductor-chip carrier 60 is constituted of a conductive base board 25 and of a dielectric board 41. A signal line 251, a grounding line 252, a terminating resistor 253, plated through holes 256 and the line are formed on the dielectric board 41. An integrated light-source chip 15 which is composed of a semiconductor laser 151 and of an optical modulator 152 is soldered onto the base board so as to be adjacent to the board 41, and a chip capacitor 3 for bias is soldered onto the base board. The semiconductor laser and the chip capacitor as well as the optical modulator and the signal line and the like are connected respectively by bonding wires 751 to 753. An inductance and a parasitic capacitance which are caused by the chip carrier are reduced, and the number of connecting places of the bonding wires is reduced, and it is possible to obtain the optical-semiconductor-chip carrier which is suitable for a high frequency and which reduces a mounting man-hour.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] An optical semiconductor chip carrier characterize by to constitute so that resistance for take touch-down Rhine which be characterize by provide the following , and which have the through hole section , an input signal of said RF transmission line , and RF adjustment may be form at least , may fix an optical semiconductor chip in a location contiguous to a dielectric substrate on said base substrate and may connect between said RF transmission lines and optical semiconductor chips by bonding wire A conductive base substrate which has high temperature conductivity It is a connectable conductive material electrically to the RF transmission line and this base substrate which consist of a dielectric substrate which fixed to a part on this base substrate, and serve as an input signal line on said dielectric substrate.

[Claim 2] An electrical conducting material of said base substrate is an optical semiconductor chip carrier according to claim 1 which is Si or CuW.

[Claim 3] Said RF transmission line and touch-down Rhine are an optical semiconductor chip carrier according to claim 1 which it comes to form by microstrip line.

[Claim 4] Said RF transmission line is an optical semiconductor chip carrier according to claim 3 which carries out contiguity arrangement and becomes so that it may be inserted into the both sides in said touch-down Rhine.

[Claim 5] Said RF transmission line is an optical semiconductor chip carrier according to claim 3 which comes to carry out contiguity arrangement of said touch-down Rhine in a location of the opposite side an outgoing radiation light side of an optical semiconductor chip carried in said base substrate.

[Claim 6] Resistance for taking said RF adjustment is an optical semiconductor chip carrier according to claim 1 which is the terminator prepared between said RF transmission lines and touch-down Rhine.

[Claim 7] Said optical semiconductor chip is an optical semiconductor chip carrier according to claim 1 which is the integration light source by which a semiconductor laser diode and an optical modulator were integrated.

[Claim 8] Said base substrate is an optical semiconductor chip carrier according to claim 1 in which it comes to form thickness of a portion which fixes a dielectric substrate more thinly than thickness of a portion in which an optical semiconductor chip is carried so that height of the surface of said dielectric substrate and the surface of said optical semiconductor chip may serve as abbreviation identitas.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to a suitable optical semiconductor chip carrier to use it by the optical module which builds optical semiconductor chips, such as optical semiconductor laser and an optical modulator, and components, such as a chip capacitor, into a package together, and constitutes them.

[0002]

[Description of the Prior Art] Generally, the optical module is formed by incorporating the optical semiconductor chip carrier which soldered and carried an optical semiconductor chip, chip capacitors, etc., such as a semiconductor laser diode (a semiconductor laser diode is called hereafter) and an optical modulator, in the package equipped with the power supply terminal, the input signal terminal, the earth terminal, the fiber connector terminal for optical outputs, etc. Unlike silicon semiconductor chips, such as semiconductor memory and a microprocessor, optical semiconductor chips, such as a semiconductor laser diode, need to measure the property of not only inspection of an electrical signal property but an optical output, and need to perform excellent article sorting.

[0003] However, in order to measure the property of an optical output, it is necessary to adjust optical-axis doubling of outgoing radiation light etc. to an external measurement system. For this reason, in the measurement which applies a probe on an optical semiconductor chip, exact measurement of a luminescence pattern and an optical output property including a RF property cannot be performed. Then, chip sorting of the optical semiconductor chip built into an optical module is usually performed as follows.

[0004] For example, in the case of a semiconductor laser diode chip, where two or more semiconductor laser diode chips are cut down from a wafer to a horizontal single tier, pulse drive sorting by probe measurement inspection is performed first. In this case, measurement of the parameter which does not need adjustment of an external measurement system and strict optical-axis doubling etc., i.e., a current-optical output property, and oscillation wavelength etc. performs the rough quality judging of a chip. It is because thermolysis poses a problem and it cannot be measured by direct-current drive that a pulse drive sorts out here. Next, the optical semiconductor chip carrier which soldered an excellent article chip, a capacitor, etc. which were sorted out by pulse drive sorting is mounted in the stem for evaluation, and CW (Continuous Wave) drive sorting is performed. In addition, about mounting to the stem for evaluation, it mentions later. In this CW drive sorting, an external measurement system is connected to the stem for evaluation, a current-optical output property, oscillation wavelength, a luminescence pattern, a RF property, etc. are measured, and a quality judging is carried out. Finally only the optical semiconductor chip carrier which carried the excellent article chip with which are satisfied of necessary property specification is included in a package, and the optical semiconductor chip carrier which carried the semiconductor laser diode chip etc. serves as an optical module, after being removed from the stem for evaluation.

[0005] Here, mounting to the stem for evaluation of the optical semiconductor chip carrier which carried the integration light source chip 11 which integrated the semiconductor laser diode and the optical modulator is explained using drawing 1. Drawing 1 is drawing showing the outline of the conventional optical semiconductor chip carrier which carried the integration light source chip, the chip capacitor, etc., and the plan of the optical semiconductor chip carrier which attached this drawing (a) in the stem for evaluation, and (b) are the cross sections of a portion which met the A-A' line shown all over the plan.

[0006] In drawing 1 (a) and (b), the reference mark 10 showed the stem for RF characterization which consists of the metallic conductor used also as touch-down Rhine, and the dielectric substrate 4 in which microstrip line 2a used as the RF transmission line, 2b, and 2c were formed on this stem 10 for evaluation has fixed it by soldering etc. Furthermore, the terminator 5 for RF adjustment is soldered between strip-line 2b on the dielectric substrate 4, and 2c. Moreover, the through hole 26 which reaches the stem 10 for evaluation and which carried out plating processing is formed in microstrip line 2c, and it connects with the stem 10 for evaluation electrically. Furthermore, the integration light source chip 11 and a chip capacitor 3 are soldered to the optical semiconductor chip carrier 21 which consists of dielectric materials, such as a ceramic which formed the bonding pad section 22, and bonding wires 711 and 712 connect with it electrically, respectively between the integration light source chip 11 and the surface lateral electrode of a chip capacitor 3, and between the integration light source chip 11 and the bonding pad section 22. This optical semiconductor chip carrier 21 is soldered to the stem 10 for evaluation which has the dielectric substrate 4 which fixed. Furthermore, the rear-face lateral electrode of a chip capacitor 3 is electrically connected to the stem 10 for evaluation of touch-down potential by two or more bonding wires 715, and the bonding pad section 22, and microstrip line 2a and 2b are electrically connected by the bonding wire 713,714, respectively.

[0007] Thus, mounting to the stem 10 for evaluation of the optical semiconductor chip carrier 21 is performed, and it is applied to CW drive sorting mentioned above. After measurement of CW drive sorting, after separating the bonding wire 713,714,715 connected to the optical semiconductor chip carrier 21 and stem side for evaluation, the optical semiconductor chip carrier 21 which was being fixed to the stem 10 for evaluation with soldering is removed. Similarly, the optical semiconductor chip carrier which carried another integration light source chip is applied to anchoring and CW drive sorting at the stem for evaluation. This is repeated and it sorts out by performing the quality judging of an integration light source chip.

[0008] In addition, although there are Institute of Electronics, Information and Communication Engineers paper magazine C-I, Vol.J77-C-I, No.5, pp.268-275 (May, 1994), etc. about this related technology, for example, it is not indicated about the details of the optical semiconductor chip carrier which constitutes an optical module.

[0009]

[Problem(s) to be Solved by the Invention] By the way, a miniaturization and improvement in the speed are demanded of the optical semiconductor chip carrier which carries an optical

semiconductor chip about mounting of an optical semiconductor chip in recent years. However, as mentioned above, the optical semiconductor chip 11 and the chip capacitor 3 were conventionally soldered to the optical semiconductor chip carrier 21 made from a dielectric, respectively, and it carried in the stem 10 for evaluation of the RF property that the dielectric substrate 4 which has a microstrip line fixed this optical semiconductor chip carrier 21. Furthermore, the terminator 5 for RF adjustment was soldered on the dielectric substrate 4 of the stem for evaluation as external [of an optical semiconductor chip carrier]. Moreover, it had connected by bonding wires 711, 712, 713, 714, and 715 between each component. For this reason, the INDAKU dance component of a bonding wire had affected the property.

[0010] The results of having performed the numerical calculation of a RF property using the equal circuit of drawing 2 about the mounting condition of stem 10 HE for evaluation shown in drawing 1 are drawing 3 (b) and (c). Here, each parameter of the equal circuit shown in drawing 2 is as follows. Z_0 with the impedance of the microstrip line of the stem 4 for evaluation 50 ohms, L_1 0.3nH(s) and L_2 with the inductance of a bonding wire 714 with the inductance of a bonding wire 713 0.3nH(s), L_p 0.1nH(s) and L_4 with the inductance of a bonding wire 715 with the inductance of the bonding pad section 22 0.1nH(s), L_3 -- the inductance of a bonding wire 712 -- 0.9 -- nH(s) and C_c 0.3pF by the capacity of the bonding pad section 22 C_g is the capacity of the optical semiconductor chip carrier 21, and 0.3pF and R_{in} are [0.4pF and R_t of 5 ohms and C_m] 50ohms in resistance of a terminator 5 by the capacity of the optical modulator section of the semiconductor laser diode chip 11 at the internal resistance of the optical modulator section of the semiconductor laser diode chip 11. In addition, since the semiconductor laser diode section is a direct-current drive and it can be disregarded in the analysis of a RF property, it expresses only the modulator section with drawing 2 to the equal circuit. Therefore, the inductance component of a bonding wire 711 is omitted.

[0011] As a result of calculating using these numeric values, as shown in drawing 3 (a), as peaking arises in about 7GHz and it was further shown in drawing 3 (b), with the frequency response characteristic, it turned out that a RF reflection property deteriorates.

[0012] Moreover, in the mounting activity to the stem 10 for evaluation, there was an activity of soldering to the stem 10 for evaluation of the optical semiconductor chip carrier 21, wirebonding, etc., and there were soldering to the optical semiconductor chip carrier 21 of the optical semiconductor chip 11 and a chip capacitor 3, soldering to the dielectric substrate 4 of the external terminator 5, and a difficulty that the mounting production process to the stem for evaluation takes time amount, further. After cutting and removing a bonding wire from the stem 10 for evaluation, also in the mounting production process mounted to an optical module, the same activity is required again and there was a difficulty of requiring time amount. If there are many connection and the cutting places of a bonding wire, a blemish will be attached during an activity, or mechanical stress will increase, and it will also become one cause which causes a yield fall.

[0013] Then, the purpose of this invention is to offer the optical semiconductor chip carrier which

has improved the RF property. Moreover, also let it be the purpose to offer the optical semiconductor chip carrier which reduces the number of components soldered and can shorten mounting time amount.

[0014]

[Means for Solving the Problem] Resonance of deterioration of the RF property of the conventional optical semiconductor chip carrier 21 shown by drawing 1 with an inductance of a bonding wire and azygos capacity of the optical semiconductor chip 11 is the cause. It is effective to shorten bonding wire length and to decrease an inductance as this cure.

[0015] Therefore, in order to solve a technical problem mentioned above, an optical semiconductor chip carrier concerning this invention formed the RF transmission line to near the optical semiconductor chip, and as shown in drawing 6, it constituted it so that bonding wire length could be shortened. Namely, an optical semiconductor chip carrier concerning this invention It consists of a conductive base substrate which has high temperature conductivity, and a dielectric substrate which fixed to a part on this base substrate. On this dielectric substrate, resistance for taking the RF transmission line used as an input signal line, touch-down Rhine which has the through hole section which contains a connectable conductive material in a base substrate electrically, an input signal of the RF transmission line, and RF adjustment is formed at least. It is characterized by constituting so that an optical semiconductor chip may be fixed in a location contiguous to a dielectric substrate on a base substrate and between the RF transmission line and an optical semiconductor chip can be connected by bonding wire by the minimum distance.

[0016]

[Embodiment of the Invention] The gestalt of suitable operation of the optical semiconductor chip carrier concerning this invention The conductive base substrate which consists of Si which has high temperature conductivity, CuW, etc., An optical semiconductor chip carrier consists of dielectric substrates which fixed with soldering etc. to the part on this base substrate. The through hole section which contains a connectable conductive material in the RF transmission line and the base substrate which were formed by the microstrip line used as an input signal line on this dielectric substrate electrically, For example, the 50-ohm terminator for taking, touch-down Rhine, the input signal of the RF transmission line, and RF adjustment, i.e., impedance matching, which has the through hole section by which plating processing was carried out, is formed at least. It is the optical semiconductor chip carrier of a configuration of fixing an optical semiconductor chip in the location contiguous to the dielectric substrate on a base substrate, and having enabled it to connect between the RF transmission line and an optical semiconductor chip by the minimum distance by the bonding wire.

[0017] Thus, it constituted from a dielectric substrate which prepared the base [chip carrier / optical / semiconductor] substrate using a conductive material, and the resistance for the RF transmission line and impedance matching, and the RF transmission line is adjoined on a base substrate, and it enabled it to fix an optical semiconductor chip. Thereby, bonding wire length

with the RF transmission line can be shortened. Since reduction of parasitic capacitance and reduction of a wirebonding part can be aimed at to it and coincidence, RF-izing and reduction of a mounting man day can be attained.

[0018]

[Example] Next, it explains to details below about the still more concrete example of the optical semiconductor chip carrier concerning this invention, referring to an accompanying drawing.

[0019] <Example 1> drawing 6 is drawing showing one example of the optical semiconductor chip carrier by this invention, and the plan in the condition that this drawing (a) mounted the optical semiconductor chip, the chip capacitor, etc. in the optical semiconductor chip carrier, and (b) are the side elevation. The optical semiconductor chip carrier 60 of this example consists of a base substrate 25 and a dielectric substrate 41. In addition, the stem for evaluation is not shown in drawing 6 .

[0020] In this example, it mounts on the base substrate 25 of the location which carries out the nearest neighbors of the integration light source chip 15 which integrated the optical modulator 152 and the semiconductor laser diode 151 to the dielectric substrate 41 as an optical semiconductor chip. The chip capacitor 3 the integration light source chip 15 and for bias terminals is soldered on the base substrate 25. In addition, the integration light source chip 15 used by this example is the light source applicable to the long distance, mass lightwave transmission system, etc. of which the high-speed modulation of the several G bits-per-second - number 10G bits per seconds is required. This integration light source chip 15 impresses direct-current bias to a semiconductor laser diode 151, makes light always emit, impresses a RF signal to an optical modulator 151, and uses for ejection and optical fiber transmission the outgoing radiation light of the semiconductor laser diode which carried out the high-speed modulation. In this case, the chip capacitor 3 is formed in order to make a high frequency component bypass and to stabilize direct-current bias. Compared with the case of a configuration of that turn a semiconductor laser diode on and off according to direct-drive current, and it carries out optical fiber transmission, the breadth of the spectrum of outgoing radiation light was stopped and such an integration light source chip 15 is fit for long-distance transmission.

[0021] The optical semiconductor chip carrier 60 of this example uses for the base substrate 25 the substrate, for example, Si substrate, a CuW substrate, etc., of the conductivity which has high temperature conductivity etc. Therefore, the potential of the base substrate 25 turns into touch-down potential, when it is soldered to the stem for evaluation and measures. On the dielectric substrate 41 which fixed to this base substrate 25, the signal line 251 and touch-down Rhine 252 used as a RF track are formed on the same plane in a microstrip line, and it is formed so that a signal line 251 and touch-down Rhine 252 may serve as unsymmetrical coplanar electrode structure arranged asymmetrically. Furthermore, on the dielectric substrate 41, the 50-ohm terminator 253 by the thin film resistor or the chip resistor is also formed. The through hole 256 where plating processing of the interior which reaches the base substrate 25 was carried out is established in touch-down Rhine 252, and, thereby, touch-down Rhine 252 is

electrically connected to the base substrate 25.

[0022] And each is electrically connected by the bonding wire 751,752,753 between a signal line 251 and the modulator 152 of an integration light source chip between a terminator 253 and the modulator 152 of an integration light source chip, and between the semiconductor laser diode 151 of an integration light source chip, and a chip capacitor 3.

[0023] Thus, like the conventional example, instead of using the bonding pad section 22, the RF transmission line (namely, signal line 251) is formed, and bonding wire length is shortened in the optical semiconductor chip carrier 60 of this example constituted to near the integration light source chip 15 on the optical semiconductor chip carrier 60. Moreover, it will be made to decrease by the time the inductance and parasitic capacitance resulting from the optical semiconductor chip carrier 60 can be disregarded using conductive materials, such as Si and CuW, to the base substrate 25. The resonance of deterioration of the RF property of the chip carrier 21 of the conventional example with the inductance of a bonding wire and the parasitic capacitance of an optical semiconductor chip is the cause. Therefore, the optical semiconductor chip carrier 60 of this example shortens bonding wire length as this cure, and is decreasing the inductance.

[0024] If the equal circuit of the optical semiconductor chip carrier 60 of this example is shown, it will become like drawing 7 . However, the direct-current bias system is removed in the equal circuit shown in drawing 7 . For the inductance of a bonding wire 751, and $L2'$, in drawing 7 , the inductance of a bonding wire 752 and Rin' are $[Z0' /$ the impedance of a signal line 251, and $L1' /$ the resistance of a terminator 253 and Cm' of the internal resistance of the modulator section 152 of the integration light source chip 15 and $Rt']$ the capacity of the modulator section 152 of the integration light source chip 15. The results of having asked for the frequency response characteristic and the RF reflection property by numerical calculation using this equal circuit are (a) of drawing 8 , and (b). Here, each value of the above-mentioned parameter used for count is $Z0'=50\text{ohm}$, $L1'=0.6\text{nH}$, $L2'=0.7\text{nH}$, $Rin'=10\text{ohm}$, and $Cm'=0.4\text{pF}$.

[0025] As compared with drawing 2. which showed the count result at the time of using the optical semiconductor chip carrier 21 of the conventional example, about 15dB improves with a frequency response characteristic by the optical semiconductor chip carrier 60 of this example at about 4GHz and a RF reflection property. Moreover, in the conventional example, by having made the terminator prepared in the stem side for evaluation build in the optical semiconductor chip carrier 60 in this example, and having used the conductive material for the base substrate 25, the soldering abbreviation to the stem for evaluation of an optical semiconductor chip carrier and the count of wirebonding can be decreased, and compaction of the mounting time amount to the stem for evaluation can be aimed at. Similarly, the mounting time amount in the case of removing the optical semiconductor chip carrier 60 from the stem for evaluation, and including in an optical module is also shortened as the count of wirebonding became fewer.

[0026] The optical semiconductor chip carrier 60 of this example is suitable, when a signal line 251 and touch-down Rhine 252 have unsymmetrical coplanar electrode structure and it uses the

big integration light source chip of an outgoing radiation angle. Even if it arranges and carries out bonding of the signal line on the stem for evaluation, and the signal line 251 of an optical semiconductor chip carrier to the minimum distance, it is because outgoing radiation light is not interrupted. For example, in order to shorten bonding wye length as an electrode pattern formed in the dielectric substrate 42 which fixed on the base substrate 25 if it is made the symmetry coplanar electrode structure which forms touch-down Rhine 252a and 252b so that a signal line 252 may be inserted into juxtaposition as shown in drawing 5, the mounting position of the integration light source chip 14 is soldered to the nearest-neighbors location of ** on the base substrate 25 of the optical semiconductor chip carrier 61. ** with an outgoing radiation pattern with the integration light source chip 14 big [an optical outgoing radiation angle] -- a case -- the outgoing radiation light 6 -- a part will be interrupted by the chip carrier 61. In addition, drawing 5 is the plan of the optical semiconductor chip carrier concerning this invention, and has attached the same reference mark about the same component as drawing 6. Therefore, the optical semiconductor chip carrier 61 shown in drawing 5 is suitable when it carries the integration light source chip which has an outgoing radiation pattern with an optical small outgoing radiation angle.

[0027] <Example 2> drawing 4 is drawing showing one another example of the optical semiconductor chip carrier by this invention, and the plan in the condition of this drawing (a) having mounted the optical semiconductor chip, the chip capacitor, etc. in the optical semiconductor chip carrier, and having carried in the stem for evaluation, and (b) are the cross sections in the B-B' line.

[0028] The optical semiconductor chip carrier 70 of this example consists of dielectric substrates 42 which consist of the conductive base substrate 23, a conductive ceramic, etc. The signal line 231 which consists of a microstrip line, and the symmetry coplanar electrode structure where touch-down Rhine 232,234 was established in both sides in parallel so that this might be inserted are formed in the dielectric substrate 42. Furthermore, between a bonding pad 235 and touch-down Rhine 234, the terminator 233 by the thin film resistor is formed. The through hole 236 where plating processing of the interior which reaches the base substrate 23 was carried out is formed in touch-down Rhine 232,234, and it connects with the base substrate 23 electrically. The signal line 231 is electrically connected by the bonding wire 261 by the signal line 401 and the minimum distance which were formed on the dielectric substrate 4 which fixed to the stem 10 for evaluation. On the base substrate 23, a chip capacitor 3 and the optical modulator chip 13 which formed the Mach TSUENDA mold optical modulator as optical semiconductor chips are soldered to the dielectric substrate 42, and the bonding wire 262,263,264 connects electrically, respectively between a signal line 231, between the optical modulator chips 13 and the bonding polar zone 235, and the optical modulator chip 13, and between the optical modulator chip 13 and the chip capacitor 3. Moreover, thickness of the portion which solders the dielectric substrate 42 of the base substrate 23 is made somewhat thin so that the height of the surface of the dielectric substrate 42 on the base substrate 23, the surface of the optical modulator chip 13, and

the surface of a chip capacitor 3 may be mostly in agreement. Thereby, while becoming easy to carry out bonding, bonding wire length can also shorten only the part and an inductance decreases.

[0029] When the optical semiconductor chip carrier 70 of this example also made the terminator build in and used the conductive material for the base substrate 23, the soldering abbreviation to the stem for evaluation of an optical semiconductor chip carrier and the count of wirebonding can be decreased, and compaction of mounting time amount can be aimed at. [as well as said example] Furthermore, since it was made to decrease by the time the inductance and parasitic capacitance resulting from an optical semiconductor chip carrier could be disregarded, improvement in a RF property was able to be aimed at like said example. Moreover, the noise given to a signal line 231 is reduced by having considered as symmetry coplanar electrode structure.

[0030] <Example 3> drawing 9 is drawing showing another example of the optical semiconductor chip carrier concerning this invention again, and the plan in the condition that this drawing (a) mounted the optical semiconductor chip, the chip capacitor, etc. in the optical semiconductor chip carrier, and (b) are the side elevation.

[0031] The optical semiconductor chip carrier 62 of this example consists of conductive base substrates 27 and dielectric substrates 43. A signal line 271 and touch-down Rhine 272, and a terminator 273 are integrated by the dielectric substrate 43. Therefore, the optical modulator 152 of the integration light source chip 15 shown in drawing 6 and the inter-electrode bonding wire 752 of a terminator 273 are omissible. That is, in this example, in the representative circuit schematic shown in drawing 7 , inductance L_2' resulting from a bonding wire 752 can be disregarded, and RF-izing and reduction of the count of wirebonding can be attained.

[0032] In addition, since two or more through holes 256 by which plating processing was carried out are established in touch-down Rhine 272, when this carries the optical semiconductor chip carrier 62 in the stem for evaluation, touch-down Rhine 272 is connected to the stem for evaluation, and an electric target. Moreover, bonding wires 753 and 751 connect like drawing 6 , respectively between a semiconductor laser diode 151 and a chip capacitor 3 and between the signal line 251 and the optical modulator 152.

[0033] As mentioned above, although the suitable example of this invention was explained, of course, various design changes can be made within limits which do not deviate from the pneuma of this invention. For example, although the optical semiconductor chip and the chip capacitor were carried on the optical semiconductor chip carrier in the example, it cannot be overemphasized that it is applicable also in the case of the use which carries only a semiconductor laser diode chip.

[0034]

[Effect of the Invention] According to this invention, by constituting from a base substrate using the conductive material which has high temperature conductivity [chip carrier / optical / semiconductor], such as Si and CuW, and a dielectric substrate which prepared a signal line,

touch-down Rhine, and a terminator, reduction of the inductance and parasitic capacitance resulting from an optical semiconductor chip carrier and reduction of a bonding wire connection place can be aimed at, and reduction of the mounting man day to RF-izing and the stem for evaluation and the mounting man day to an optical module can be attained.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing the condition of having carried the conventional optical semiconductor chip carrier in the stem for evaluation, and is the cross section which met the A-A' line which showed (a) in the plan and showed (b) all over the plan.

[Drawing 2] It is the representative circuit schematic of the optical semiconductor chip carrier shown in drawing 1 .

[Drawing 3] It is drawing showing the result of having calculated the RF property of the conventional optical semiconductor chip carrier by the equal circuit shown in drawing 2 , and (a) is the frequency characteristic and (b) is a reflection property.

[Drawing 4] It is drawing showing one example which carried the optical semiconductor chip carrier concerning this invention in the stem for evaluation, and (a) is a plan and (b) is a side elevation.

[Drawing 5] It is drawing showing another example of the optical semiconductor chip carrier concerning this invention, and is the plan having shown typically the condition at the time of mounting a light emitting device with a big outgoing radiation angle.

[Drawing 6] It is drawing which mounted the integration light source which shows another example of the optical semiconductor chip carrier concerning this invention again, and a chip capacitor, and (a) is a plan and (b) is a side elevation.

[Drawing 7] It is the representative circuit schematic of the optical semiconductor chip carrier shown in drawing 6 .

[Drawing 8] It is drawing showing the result of having calculated the RF property of the optical semiconductor chip carrier of this invention by the equal circuit shown in drawing 7 , and (a) is the frequency characteristic and (b) is a reflection property.

[Drawing 9] It is drawing which mounted the integration light source which shows still more nearly another example of the optical semiconductor chip carrier concerning this invention, and a chip capacitor, and (a) is a plan and (b) is a side elevation.

[Description of Notations]

2a, 2b, 2c -- A microstrip line, 3 -- Chip capacitor, 4, 41, 42 [-- Integration light source chip,] -- A dielectric substrate, 6 -- Outgoing radiation light, 10 -- The stem for evaluation, 11, 14, 15 13 -- An optical modulator chip, 21 -- An optical semiconductor chip carrier, 22,235 -- Bonding pad section, 23, 25, 27 -- A base substrate, 26,236,256 -- Through hole, 60, 61, 62, 70 -- An optical

semiconductor chip carrier, 151 -- Semiconductor laser diode, 152 [-- A terminator, 261-264 / -- A bonding wire, 711-715 / -- Bonding wire.] -- 231 An optical modulator, 251,252,271,401 -- A signal line, 232,234,252a, 252b, 272 -- 233,253 Touch-down Rhine, 273

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275957

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁸
H 0 1 S 3/18
G 0 2 B 6/42
G 0 2 F 1/025
H 0 1 L 27/14

識別記号

F I
H 0 1 S 3/18
G 0 2 B 6/42
G 0 2 F 1/025
H 0 1 L 27/14 D

審査請求 未請求 請求項の数 8 O L (全 8 頁)

(21) 出願番号 特願平9-79317

(22) 出願日 平成9年(1997)3月31日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 五明 博之

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 青木 聡

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(72) 発明者 藤田 実

神奈川県横浜市戸塚区戸塚町216番地 株

式会社日立製作所情報通信事業部内

(74) 代理人 弁理士 高橋 明夫

最終頁に続く

(54) 【発明の名称】 光半導体チップキャリア

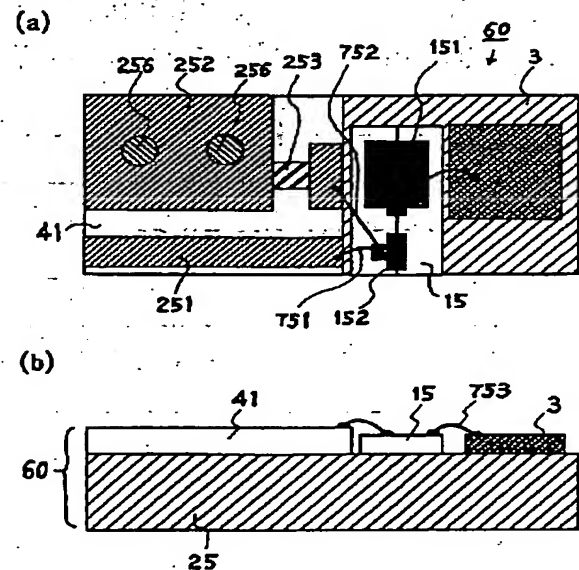
(57) 【要約】

【目的】 実装の簡易な高周波特性を改善した光半導体チップキャリアを得る。

【解決手段】 光半導体チップキャリア60を導電性のベース基板25と誘電体基板41で構成する。誘電体基板41上には、信号ライン251、接地ライン252、終端抵抗253、メッキ処理されたスルーホール256等が形成される。半導体レーザ151と光変調器152からなる集積化光源チップ15がベース基板上に基板41と隣接して半田付けされ、バイアス用のチップコンデンサ3もベース基板上に半田付けされる。半導体レーザとチップコンデンサ間、光変調器と信号ライン間等はボンディングワイヤ751~753により接続される。

【効果】 チップキャリアに起因するインダクタンスや寄生容量の低減、ボンディングワイヤ接続箇所の低減により、高周波化と実装工数低減が図れる。

図 6



【特許請求の範囲】

【請求項1】 高熱伝導性を有する導電性のベース基板と、該ベース基板上の一部に固着された誘電体基板とからなり、

前記誘電体基板上には入力信号ラインとなる高周波伝送線路と該ベース基板に電氣的に接続可能な導電性材料を含むスルーホール部を有する接地ラインと前記高周波伝送線路の入力信号と高周波整合をとるための抵抗とが少なくとも形成されていて、

前記ベース基板上の誘電体基板と隣接する位置に光半導体チップを固着して前記高周波伝送線路と光半導体チップ間をボンディングワイヤにより接続できるように構成したことを特徴とする光半導体チップキャリア。

【請求項2】 前記ベース基板の導電材料は、SiまたはCuWである請求項1記載の光半導体チップキャリア。

【請求項3】 前記高周波伝送線路および接地ラインは、マイクロストリップラインで形成してなる請求項1記載の光半導体チップキャリア。

【請求項4】 前記高周波伝送線路は、その両側に前記接地ラインで挟まれるように隣接配置してなる請求項3記載の光半導体チップキャリア。

【請求項5】 前記高周波伝送線路は、前記ベース基板に搭載する光半導体チップの出射光側と反対側の位置に前記接地ラインを隣接配置してなる請求項3記載の光半導体チップキャリア。

【請求項6】 前記高周波整合をとるための抵抗は、前記高周波伝送線路と接地ラインとの間に設けられた終端抵抗である請求項1記載の光半導体チップキャリア。

【請求項7】 前記光半導体チップは、半導体レーザダイオードと光変調器とが集積化された集積化光源である請求項1記載の光半導体チップキャリア。

【請求項8】 前記ベース基板は、前記誘電体基板の表面と前記光半導体チップの表面の高さが略同一となるように、誘電体基板を固着する部分の厚さが、光半導体チップを搭載する部分の厚さよりも薄く形成されてなる請求項1記載の光半導体チップキャリア。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、光半導体レーザや光変調器などの光半導体チップとチップコンデンサなどの部品とを一緒にパッケージに組み込んで構成する光モジュール等で使用するのに好適な光半導体チップキャリアに関する。

【0002】

【従来の技術】 一般に、光モジュールは、半導体レーザダイオード（以下、半導体LDと称する）や光変調器等の光半導体チップ及びチップコンデンサなどを半田付けして搭載した光半導体チップキャリアを、電源端子、入力信号端子、接地端子、光出力用ファイバコネクタ端子などを備えたパッケージ内に組み込むことにより形成さ

れている。半導体LD等の光半導体チップは、半導体メモリやマイクロプロセッサなどのシリコン半導体チップと異なり、電気信号特性の検査だけでなく、光出力の特性を測定して良品選別を行う必要がある。

05 【0003】 しかしながら、光出力の特性を測定するには、外部測定系へ出射光の光軸合わせ等の調整を行う必要がある。このため、光半導体チップ上にプローブを当てての測定では、発光パターンや、高周波特性を含めた光出力特性の正確な測定が行えない。そこで、通常、光モジュールに組み込む光半導体チップのチップ選別は次のように行っている。

【0004】 例えば、半導体LDチップの場合、複数個の半導体LDチップをウエハから横一列に切り出した状態で、先ずプローブ測定検査によるパルス駆動選別を行う。この場合、外部測定系と厳密な光軸合わせの調整等を必要としない測定項目、すなわち電流－光出力特性と発振波長の測定等によりチップの大まかな良否判定を行う。ここでパルス駆動により選別を行うのは、直流駆動では放熱が問題となって測定できないからである。次に、パルス駆動選別により選別された良品チップおよびコンデンサ等を半田付けした光半導体チップキャリアを評価用ステムに実装し、CW（Continuous Wave）駆動選別を行う。なお、評価用ステムへの実装については後述する。このCW駆動選別では、評価用ステムに外部測定系を接続して電流－光出力特性、発振波長、発光パターン、及び高周波特性等を測定して良否判定をする。半導体LDチップ等を搭載した光半導体チップキャリアは評価用ステムから外された後、所要の特性仕様を満足する良品チップを搭載した光半導体チップキャリアだけが最終的にパッケージに組み込まれて光モジュールとなる。

【0005】 ここで、半導体LDと光変調器を集積化した集積化光源チップ11を搭載した光半導体チップキャリアの評価用ステムへの実装について、図1を用いて説明する。図1は、集積化光源チップやチップコンデンサ等を搭載した従来の光半導体チップキャリアの概略を示す図であり、同図（a）は評価用ステムに取り付けた光半導体チップキャリアの平面図、（b）は平面図中に示したA-A'線に沿った部分の断面図である。

40 【0006】 図1（a）、（b）において、参照符号10は接地ラインとしても使用する金属導体から成る高周波特性評価用ステムを示し、この評価用ステム10上には高周波伝送線路となるマイクロストリップ線路2a、2b、2cを形成した誘電体基板4が半田付け等により固着されている。更に、誘電体基板4上のストリップ線路2b、2c間には、高周波整合用の終端抵抗5が半田付けされている。また、マイクロストリップ線路2cには評価用ステム10に達するメッキ処理したスルーホール26が形成され、評価用ステム10と電氣的に接続されている。更に、ボンディングパッド部22を設けたセ

ラミックなどの誘電体材料からなる光半導体チップキャリア21に、集積化光源チップ11とチップコンデンサ3が半田付けされ、集積化光源チップ11とチップコンデンサ3の表面側電極との間、及び集積化光源チップ11とボンディングパッド部22との間は、それぞれボンディングワイヤ711及び712により電氣的に接続されている。この光半導体チップキャリア21が、固着された誘電体基板4を有する評価用ステム10に半田付けされる。更に、チップコンデンサ3の裏面側電極は、複数本のボンディングワイヤ715により接地電位の評価用ステム10に電氣的に接続され、ボンディングパッド部22とマイクロストリップ線路2a、2bとはそれぞれボンディングワイヤ713、714により電氣的に接続されている。

【0007】このようにして光半導体チップキャリア21の評価用ステム10への実装が行われ、前述したCW駆動選別にかけられる。CW駆動選別の測定後、光半導体チップキャリア21と評価用ステム側に接続されていたボンディングワイヤ713、714、715を切離した後、評価用ステム10に半田付けで固定していた光半導体チップキャリア21を外す。同様にして、別の集積化光源チップを搭載した光半導体チップキャリアを評価用ステムに取付け、CW駆動選別にかける。これを繰り返して、集積化光源チップの良否判定を行い、選別する。

【0008】なお、この関連技術に関しては、例えば電子情報通信学会論文誌C-I, Vol. J77-C-I, No. 5, pp. 268-275 (1994年5月)等があるが、光モジュールを構成する光半導体チップキャリアの詳細については開示されていない。

【0009】

【発明が解決しようとする課題】ところで、近年、光半導体チップの実装に関して光半導体チップを搭載する光半導体チップキャリアに小型化、高速化が要求されている。しかしながら、前述したように、従来は光半導体チップ11とチップコンデンサ3をそれぞれ誘電体を材料とする光半導体チップキャリア21に半田付けし、この光半導体チップキャリア21をマイクロストリップ線路を有する誘電体基板4が固着された高周波特性の評価用ステム10に搭載していた。更に、高周波整合用の終端抵抗5を、光半導体チップキャリアの外付けとして、評価用ステムの誘電体基板4上に半田付けしていた。また、それぞれの部品間は、ボンディングワイヤ711、712、713、714、715により接続していた。このため、ボンディングワイヤのインダクタンス成分が特性に影響を与えていた。

【0010】図1に示した評価用ステム10への実装状態について、図2の等価回路を用いて高周波特性の数値計算を行った結果が、図3(b)と(c)である。ここで、図2に示した等価回路の各パラメータは、次の通り

である。Z0は評価用ステム4のマイクロストリップラインのインピーダンスで50Ω、L1はボンディングワイヤ713のインダクタンスで0.3nH、L2はボンディングワイヤ714のインダクタンスで0.3nH、Lpはボンディングパッド部22のインダクタンスで0.1nH、L4はボンディングワイヤ715のインダクタンスで0.1nH、L3はボンディングワイヤ712のインダクタンスで0.9nH、Ccはボンディングパッド部22の容量で0.3pF、Cgは光半導体チップキャリア21の容量で0.3pF、Rinは半導体LDチップ11の光変調器部の内部抵抗で5Ω、Cmは半導体LDチップ11の光変調器部の容量で0.4pF、Rtは終端抵抗5の抵抗で50Ωである。なお、半導体LD部は直流駆動であるから高周波特性の解析では無視できるため、図2では変調器部だけを等価回路に表わしている。従って、ボンディングワイヤ711のインダクタンス成分は、省略してある。

【0011】これらの数値を用いて計算した結果、図3(a)に示したように、周波数応答特性では7GHz近傍でピーキングが生じ、さらに図3(b)に示したように、高周波反射特性が劣化することがわかった。

【0012】また、評価用ステム10への実装作業において、光半導体チップ11及びチップコンデンサ3の光半導体チップキャリア21への半田付け、外付けの終端抵抗5の誘電体基板4への半田付け、さらに、光半導体チップキャリア21の評価用ステム10への半田付け、及びワイヤボンディング等の作業があり、評価用ステムへの実装工程に時間を要する難点があった。評価用ステム10からボンディングワイヤを切断して外した後、光モジュールへ実装する実装工程においても、同様の作業が再度必要であり、時間を要する難点があった。ボンディングワイヤの接続及び切断箇所が多いと、作業中に傷を付けたり、機械的ストレスが増加して、歩留まり低下をきたす一つの原因ともなる。

【0013】そこで、本発明の目的は、高周波特性を改善した光半導体チップキャリアを提供することにある。また、半田付けされる部品数を減らして実装時間を短縮できる光半導体チップキャリアを提供することも目的とする。

【0014】

【課題を解決するための手段】図1で示した従来の光半導体チップキャリア21の高周波特性の劣化は、ボンディングワイヤのインダクタンスと光半導体チップ11の寄生容量との共振が原因である。この対策として、ボンディングワイヤ長を短くしてインダクタンスを減少させることが有効である。

【0015】従って、前述した課題を解決するために、本発明に係る光半導体チップキャリアは、例えば図6に示すように光半導体チップの近傍まで高周波伝送線路を形成しボンディングワイヤ長を短縮することができるよ

うに構成した。すなわち、本発明に係る光半導体チップキャリアは、高熱伝導性を有する導電性のベース基板と、このベース基板上の一部に固着された誘電体基板とからなり、この誘電体基板上には入力信号ラインとなる高周波伝送線路とベース基板に電氣的に接続可能な導電性材料を含むスルーホール部を有する接地ラインと高周波伝送線路の入力信号と高周波整合をとるための抵抗とが少なくとも形成されていて、ベース基板上の誘電体基板と隣接する位置に光半導体チップを固着して高周波伝送線路と光半導体チップ間を最短距離でボンディングワイヤにより接続できるように構成したことを特徴とするものである。

【0016】

【発明の実施の形態】本発明に係る光半導体チップキャリアの好適な実施の形態は、高熱伝導性を有するSiやCuWなどからなる導電性のベース基板と、このベース基板上の一部に半田付けなどで固着された誘電体基板とから光半導体チップキャリアが構成され、この誘電体基板上には入力信号ラインとなるマイクロストリップラインで形成した高周波伝送線路とベース基板に電氣的に接続可能な導電性材料を含むスルーホール部、例えばメッキ処理されたスルーホール部を有する接地ラインと高周波伝送線路の入力信号と高周波整合すなわちインピーダンスマッチングをとるための50Ωの終端抵抗とが少なくとも形成されていて、ベース基板上の誘電体基板と隣接する位置に光半導体チップを固着して高周波伝送線路と光半導体チップ間をボンディングワイヤにより最短距離で接続できるようにした構成の光半導体チップキャリアである。

【0017】このように光半導体チップキャリアを、導電性材料を用いたベース基板と、高周波伝送線路及びインピーダンスマッチング用の抵抗とを設けた誘電体基板とから構成し、光半導体チップをベース基板上に高周波伝送線路と隣接して固着できるようにした。これにより、高周波伝送線路とのボンディングワイヤ長を短くできる。それと同時に、寄生容量の低減及びワイヤボンディング箇所の低減が図れるので、高周波化及び実装工数の低減を達成できる。

【0018】

【実施例】次に、本発明に係る光半導体チップキャリアの更に具体的な実施例につき、添付図面を参照しながら以下詳細に説明する。

【0019】＜実施例1＞図6は、本発明による光半導体チップキャリアの一実施例を示す図であり、同図

(a)は光半導体チップやチップコンデンサ等を光半導体チップキャリアに実装した状態の平面図、(b)はその側面図である。本実施例の光半導体チップキャリア60は、ベース基板25と誘電体基板41とで構成されている。なお、図6には評価用ステムは示していない。

【0020】本実施例では、光半導体チップとして、光

変調器152と半導体LD151を集積化した集積化光源チップ15を誘電体基板41と最隣接する位置のベース基板25上に実装している。集積化光源チップ15とバイアス端子用のチップコンデンサ3は、ベース基板25上に半田付けしている。なお、本実施例で用いる集積化光源チップ15は、数Gビット/秒～数十Gビット/秒の高速変調を要求される長距離・大容量光伝送システム等に適用可能な光源である。この集積化光源チップ15は、半導体LD151に直流バイアスを印加して常に発光させておき、光変調器151に高周波信号を印加して高速変調した半導体LDの出射光を取り出し、光ファイバ伝送に用いるものである。この場合、チップコンデンサ3は、高周波成分をバイパスさせて直流バイアスを安定化させるために設けてある。このような集積化光源チップ15は、半導体LDを直接駆動電流によりオンオフして光ファイバ伝送する構成の場合に比べて、出射光のスペクトルの広がりや抑えられ、長距離伝送に向いている。

【0021】本実施例の光半導体チップキャリア60は、ベース基板25に高熱伝導性を有する導電性の基板、例えば、Si基板やCuW基板等を用いている。従って、ベース基板25の電位は、評価用ステムに半田付けされて測定する場合、接地電位となる。このベース基板25に固着された誘電体基板41上には、高周波線路となる信号ライン251と接地ライン252とがマイクロストリップ線路で同一平面上に形成され、信号ライン251と接地ライン252が非対称に配置された非対称コープレーナ電極構造となるように形成されている。更に、誘電体基板41上には薄膜抵抗或いはチップ抵抗による50Ωの終端抵抗253も設けられている。接地ライン252にはベース基板25に達する内部がメッキ処理されたスルーホール256が設けられており、これにより接地ライン252はベース基板25に電氣的に接続される。

【0022】そして、信号ライン251と集積化光源チップの変調器152との間、終端抵抗253と集積化光源チップの変調器152との間、及び集積化光源チップの半導体LD151とチップコンデンサ3との間は、それぞれをボンディングワイヤ751、752、753により電氣的に接続している。

【0023】このように構成される本実施例の光半導体チップキャリア60では、従来例のように、ボンディングパッド部22を用いる代わりに、光半導体チップキャリア60上の集積化光源チップ15の近傍まで、高周波伝送線路(すなわち信号ライン251)を形成してボンディングワイヤ長を短くしている。また、ベース基板25にはSi、CuW等の導電性の材料を用い、光半導体チップキャリア60に起因するインダクタンスや寄生容量を無視できるまでに減少させている。従来例のチップキャリア21の高周波特性の劣化は、ボンディングワイ

ヤのインダクタンスと光半導体チップの寄生容量との共振が原因である。従って、本実施例の光半導体チップキャリア60はこの対策としてボンディングワイヤ長を短くしてインダクタンスを減少させている。

【0024】本実施例の光半導体チップキャリア60の等価回路を示せば、図7のようになる。但し、図7に示した等価回路では直流バイアス系を除いてある。図7において、 Z_0' は信号ライン251のインピーダンス、 L_1' はボンディングワイヤ751のインダクタンス、 L_2' はボンディングワイヤ752のインダクタンス、 R_{in}' は集積化光源チップ15の変調器部152の内部抵抗、 R_t' は終端抵抗253の抵抗値、 C_m' は集積化光源チップ15の変調器部152の容量である。この等価回路を用いて、周波数応答特性と高周波反射特性を数値計算により求めた結果が、図8の(a)及び(b)である。ここで、計算に使用した上記パラメータのそれぞれの値は、 $Z_0' = 50 \Omega$ 、 $L_1' = 0.6 \text{ nH}$ 、 $L_2' = 0.7 \text{ nH}$ 、 $R_{in}' = 10 \Omega$ 、 $C_m' = 0.4 \text{ pF}$ である。

【0025】従来例の光半導体チップキャリア21を用いた場合の計算結果を示した図2と比較して、本実施例の光半導体チップキャリア60では周波数応答特性で約4GHz、高周波反射特性で約15dB改善される。また、従来例では評価用ステム側に設けた終端抵抗を、本実施例では光半導体チップキャリア60に内蔵させ、ベース基板25に導電性材料を用いたことにより、光半導体チップキャリアの評価用ステムへの半田付け省略やワイヤボンディング回数を減少することができ、評価用ステムへの実装時間の短縮が図れる。同様に、ワイヤボンディング回数が減っただけ、光半導体チップキャリア60を評価用ステムから外して光モジュールへ組み込む場合の実装時間も短縮する。

【0026】本実施例の光半導体チップキャリア60は、信号ライン251と接地ライン252とが非対称コープレーナ電極構造となっていて、出射角の大きな集積化光源チップを用いる場合に好適である。評価用ステム上の信号ラインと光半導体チップキャリアの信号ライン251とを最短距離に配置してボンディングしても、出射光を遮ることがないからである。例えば、図5に示したようにベース基板25上に固着した誘電体基板42に形成する電極パターンとして、信号ライン252を並列に挟むように接地ライン252a、252bを形成する対称コープレーナ電極構造にすると、ボンディングワイヤ長を短くするために、集積化光源チップ14の実装位置が光半導体チップキャリア61のベース基板25上の奥の最隣接位置に半田付けされる。集積化光源チップ14が光出射角の大きな出射パターンを有する場合、出射光6の一部分がチップキャリア61で遮られてしまう。なお、図5は本発明に係る光半導体チップキャリアの平面図であり、図6と同様の構成部分については同一の参

照符号を付してある。従って、図5に示した光半導体チップキャリア61は、光出射角の小さな出射パターンを有する集積化光源チップを搭載する場合に適している。

【0027】<実施例2>図4は、本発明による光半導体チップキャリアの別の一実施例を示す図であり、同図(a)は光半導体チップやチップコンデンサ等を光半導体チップキャリアに実装して評価用ステムに搭載した状態の平面図、(b)はそのB-B'線における断面図である。

【0028】本実施例の光半導体チップキャリア70は、導電性のベース基板23とセラミックなどからなる誘電体基板42とで構成される。誘電体基板42には、マイクロストリップ線路からなる信号ライン231と、これを挟むように両側に並行に接地ライン232、234が設けられた対称コープレーナ電極構造を形成している。更に、ボンディングパッド235と接地ライン234との間には、薄膜抵抗による終端抵抗233が形成されている。接地ライン232、234には、ベース基板23に達する内部がメッキ処理されたスルーホール236が形成されていて、電気的にベース基板23と接続されている。信号ライン231は、評価用ステム10に固着された誘電体基板4上に形成された信号ライン401と最短距離でボンディングワイヤ261により電気的に接続されている。ベース基板23上には、チップコンデンサ3と、光半導体チップとしてマッハツェンダ型光変調器を形成した光変調器チップ13とが誘電体基板42に半田付けされ、信号ライン231と光変調器チップ13間、ボンディング電極部235と光変調器チップ13間、および光変調器チップ13とチップコンデンサ3間は、それぞれボンディングワイヤ262、263、264により電気的に接続されている。また、ベース基板23上の誘電体基板42の表面と、光変調器チップ13の表面、及びチップコンデンサ3の表面の高さがほぼ一致するように、ベース基板23の誘電体基板42を半田付けする部分の厚さは、少し薄くしてある。これにより、ボンディングし易くなると共にボンディングワイヤ長もその分だけ短くでき、インダクタンスが減少する。

【0029】本実施例の光半導体チップキャリア70も前記実施例と同様に、終端抵抗を内蔵させ、ベース基板23に導電性材料を用いたことにより、光半導体チップキャリアの評価用ステムへの半田付け省略やワイヤボンディング回数を減少することができ、実装時間の短縮が図れる。更に、光半導体チップキャリアに起因するインダクタンスや寄生容量を無視できるまでに減少させているので、前記実施例と同様に高周波特性の向上が図れた。また、対称コープレーナ電極構造としたことにより、信号ライン231に与えるノイズが低減される。

【0030】<実施例3>図9は、本発明に係る光半導体チップキャリアのまた別の実施例を示す図であり、同図(a)は光半導体チップやチップコンデンサ等を光半

導体チップキャリアに実装した状態の平面図、(b)はその側面図である。

【0031】本実施例の光半導体チップキャリア62は、導電性のベース基板27と、誘電体基板43とから構成される。誘電体基板43には、信号ライン271及び接地ライン272と、終端抵抗273とが集積化されている。従って、図6に示した集積化光源チップ15の光変調器152と終端抵抗273の電極間のボンディングワイヤ752が省略できる。すなわち、本実施例では図7に示した等価回路図において、ボンディングワイヤ752に起因するインダクタンスL2'が無視できることとなり、高周波化とワイヤボンディング回数の低減とを達成できる。

【0032】なお、接地ライン272にはメッキ処理された複数のスルーホール256が設けられているので、これにより光半導体チップキャリア62を評価用システムに搭載したときに接地ライン272は評価用システムと電気的に接続される。また、半導体LD151とチップコンデンサ3間及び信号ライン251と光変調器152間は、図6と同様に、それぞれボンディングワイヤ753及び751により接続されている。

【0033】以上、本発明の好適な実施例について説明したが、本発明の精神を逸脱しない範囲内において種々の設計変更をなし得ることは勿論である。例えば、実施例では光半導体チップキャリア上に光半導体チップとチップコンデンサとを搭載したが、半導体LDチップだけを搭載する用途の場合にも適用できることは言うまでもない。

【0034】

【発明の効果】本発明によれば、光半導体チップキャリアをSiやCuWといった高熱伝導性を有する導電性材料を用いたベース基板と、信号ライン、接地ライン及び終端抵抗を設けた誘電体基板とから構成することにより、光半導体チップキャリアに起因するインダクタンスや寄生容量の低減及びボンディングワイヤ接続箇所の低減が図れ、高周波化と評価用システムへの実装工数及び光モジュールへの実装工数の低減を達成することができ

【図面の簡単な説明】

【図1】従来の光半導体チップキャリアを評価用システム

に搭載した状態を示す図であり、(a)は平面図、

(b)は平面図中に示したA-A'線に沿った断面図である。

【図2】図1に示した光半導体チップキャリアの等価回路図である。

【図3】図2に示した等価回路により従来の光半導体チップキャリアの高周波特性を計算した結果を示す図であり、(a)は周波数特性、(b)は反射特性である。

【図4】本発明に係る光半導体チップキャリアを評価用システムに搭載した一実施例を示す図であり、(a)は平面図、(b)は側面図である。

【図5】本発明に係る光半導体チップキャリアの別の実施例を示す図であり、出射角の大きな発光素子を実装した場合の状態を模式的に示した平面図である。

【図6】本発明に係る光半導体チップキャリアのまた別の実施例を示す集積化光源とチップコンデンサを実装した図であり、(a)は平面図、(b)は側面図である。

【図7】図6に示した光半導体チップキャリアの等価回路図である。

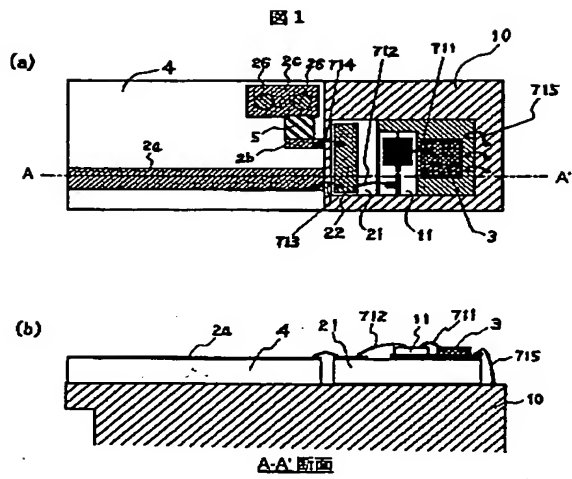
【図8】図7に示した等価回路により本発明の光半導体チップキャリアの高周波特性を計算した結果を示す図であり、(a)は周波数特性、(b)は反射特性である。

【図9】本発明に係る光半導体チップキャリアの更に別の実施例を示す集積化光源とチップコンデンサを実装した図であり、(a)は平面図、(b)は側面図である。

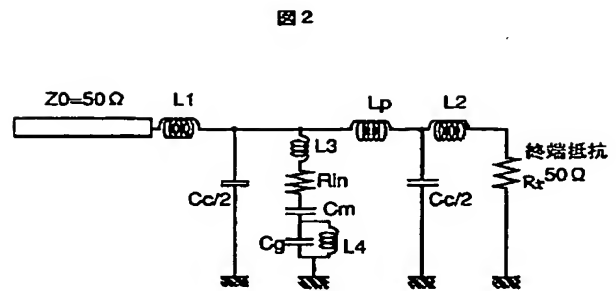
【符号の説明】

2a, 2b, 2c…マイクロストリップ線路、3…チップコンデンサ、4, 41, 42…誘電体基板、6…出射光、10…評価用システム、11, 14, 15…集積化光源チップ、13…光変調器チップ、21…光半導体チップキャリア、22, 235…ボンディングパッド部、23, 25, 27…ベース基板、26, 236, 256…スルーホール、60, 61, 62, 70…光半導体チップキャリア、151…半導体LD、152…光変調器、231, 251, 252, 271, 401…信号ライン、232, 234, 252a, 252b, 272…接地ライン、233, 253, 273…終端抵抗、261~264…ボンディングワイヤ、711~715…ボンディングワイヤ。

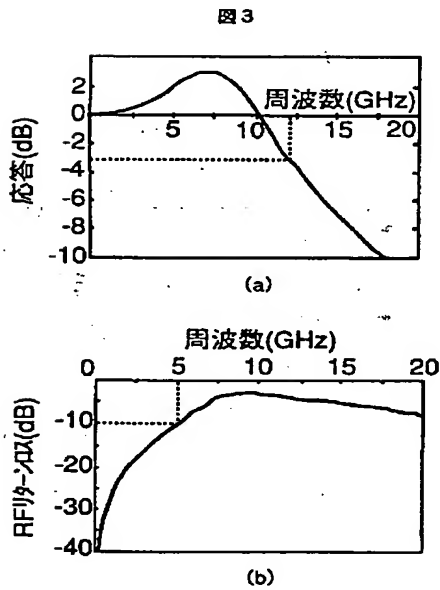
【図1】



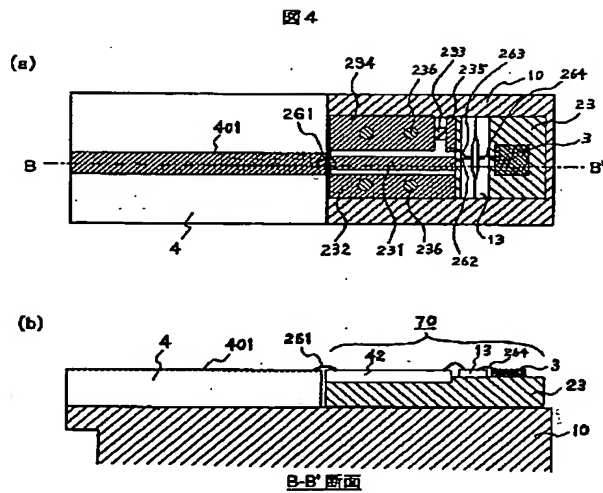
【図2】



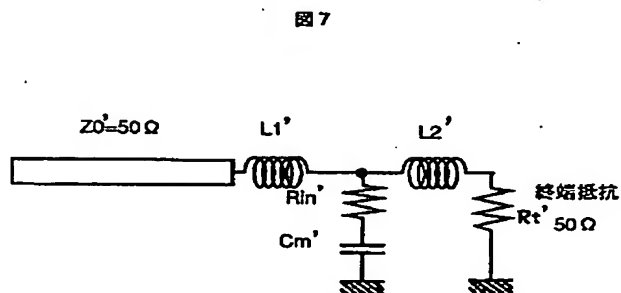
【図3】



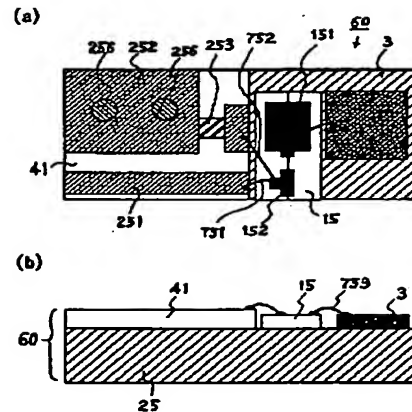
【図4】



【図7】

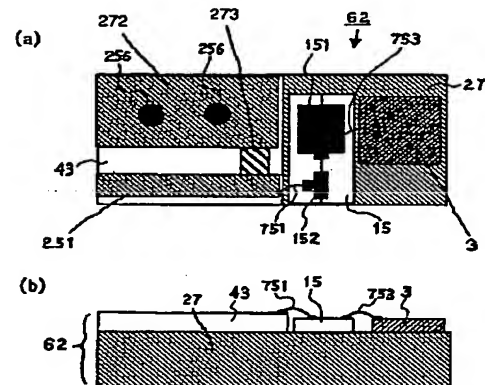


【図 6】



【图9】

9



(b)

(b)

(72)発明者 井戸 立身
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内